

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246279

(43)Date of publication of application : 30.08.2002

(51)Int.Cl. H01L 21/02
H01L 21/205
H01L 33/00
H01S 5/32

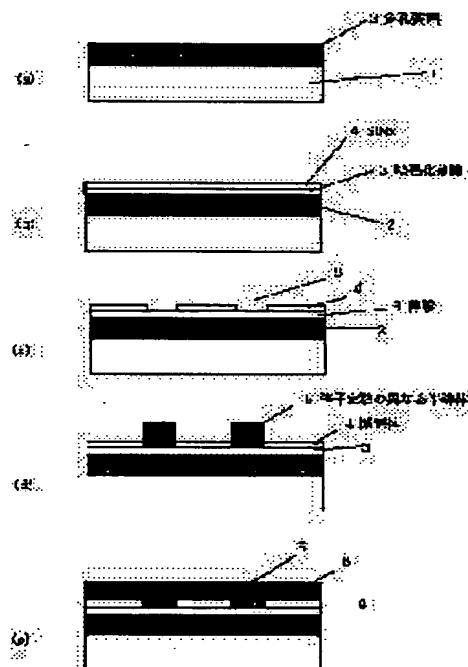
(21)Application number : 2001-035171 (71)Applicant : CANON INC
(22)Date of filing : 13.02.2001 (72)Inventor : MIYAZAWA SEIICHI
OKUDA MASAHIRO
EZAKI MIGAKU

(54) SEMICONDUCTOR SUBSTRATE, ITS PRODUCING METHOD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for producing a semiconductor substrate employing a porous film, and a semiconductor substrate, in which a high quality semiconductor film having reduced defect can be formed on the substrate even if the lattice constant is difference between the substrate and a semiconductor material being formed thereon.

SOLUTION: On a substrate 1 having a porous layer 2, a crystallized thin film 3 having the same element as the substrate 1 is formed and a semiconductor film 5 having a lattice constant different from that of the thin film 3 is formed on a part of the thin film 3. A dielectric film is formed at least partially on the part of the substrate where the semiconductor film 5 is not formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-246279
(P2002-246279A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L	21/02	H 0 1 L 21/02	B 5 F 0 4 1
	21/205	21/205	5 F 0 4 5
	33/00	33/00	A 5 F 0 7 3
H 0 1 S	5/32	H 0 1 S 5/32	

審査請求 未請求 請求項の数24 O L (全 11 頁)

(21) 出願番号 特願2001-35171(P2001-35171)

(22) 出願日 平成13年2月13日 (2001.2.13)

(71) 出願人 00001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 宮澤 誠一
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 奥田 昌宏
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100088096
弁理士 福森 久夫

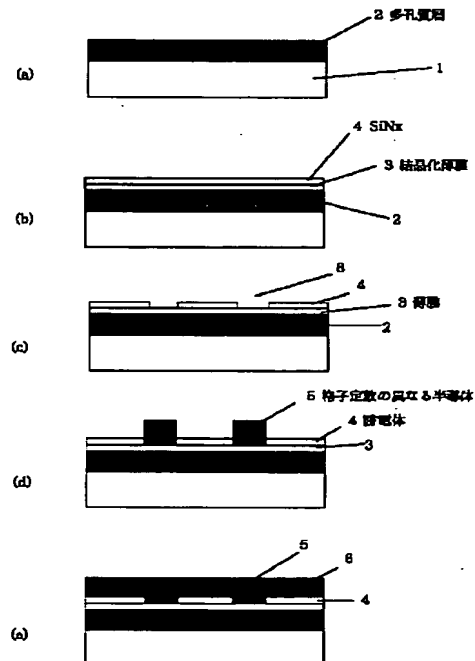
最終頁に続く

(54) 【発明の名称】 半導体基板及びその作製法並びに半導体デバイス

(57) 【要約】

【課題】 本発明は、基板とその上に形成する半導体材料の格子定数が異なっても、欠陥の少ない良質の半導体膜を基板上に形成することが可能な多孔質膜を用いた半導体基板の作製法および半導体基板提供することを目的とするものである。

【解決手段】 多孔質層2を有した基板1上に基板1と同じ元素を有した結晶化した薄膜3を有し、さらに該薄膜3上の一部に該薄膜3と格子定数の異なる半導体膜5を有している構成おり、該基板上の該半導体膜5が形成されていない部分の少なくとも一部に誘電体膜が形成されていることを特徴とする。



【特許請求の範囲】

【請求項 1】 多孔質層を有した基板上に該基板と同じ元素を有した結晶化した結晶薄膜を有し、さらに該結晶薄膜上の一部に該結晶薄膜と格子定数の異なる半導体膜を有して構成されており、該基板上の該半導体膜が形成されていない部分の少なくとも一部に誘電体膜が形成されていることを特徴とする半導体基板。

【請求項 2】 多孔質層を有した基板上に該基板と同じ元素を有した結晶化した結晶薄膜を有し、さらに該結晶薄膜の上に該結晶薄膜と格子定数の異なる半導体膜を有しており、該基板と該半導体膜との間の少なくとも一部に誘電体膜が形成されていることを特徴とする半導体基板。

【請求項 3】 該多孔質層と該半導体膜の間との少なくとも一部に誘電体膜が形成されていることを特徴とする請求項 2 記載の半導体基板。

【請求項 4】 該単結晶薄膜と該半導体膜との間の少なくとも一部に誘電体膜が形成されていることを特徴とする請求項 2 または 3 記載の半導体基板。

【請求項 5】 前記多孔質層を有した基板は、Si、InP、GaAs、GaP であることを特徴とする請求項 1 ないし 4 のいずれか 1 項記載の半導体基板。

【請求項 6】 前記基板が (111) 面を有していることを特徴とする請求項 1 ないし 5 のいずれか 1 項記載の半導体基板。

【請求項 7】 前記基板が (100) 面を有していることを特徴とする請求項 1 ないし 5 のいずれか 1 項記載の半導体基板。

【請求項 8】 前記半導体膜の傾斜面の伸びている方向と [0-1-1] 軸の成す角とが 5° から 75° であることを特徴とする請求項 7 記載の半導体基板。

【請求項 9】 前記半導体膜の傾斜面の伸びている方向と [0-1-1] 軸の成す角とが 15° から 40° であることを特徴とする請求項 7 記載の半導体基板。

【請求項 10】 前記半導体膜の傾斜面と (100) 面との成す角度が 20° より小さいことを特徴とする請求項 7 ないし 9 のいずれか 1 項記載の半導体基板。

【請求項 11】 前記半導体膜の傾斜面と (100) 面との成す角度が 20° から 30° であることを特徴とする請求項 7 ないし 9 のいずれか 1 項記載の半導体基板。

【請求項 12】 前記半導体膜の傾斜面が (111) A 面を有していることを特徴とする請求項 7 ないし 9 のいずれか 1 項記載の半導体基板。

【請求項 13】 該半導体膜が単元素、二元化合物、三元混晶、四元混晶または五元以上の混晶であることを特徴とする請求項 1 ないし 12 のいずれか 1 項記載の半導体基板。

【請求項 14】 請求項 1 ないし 13 のいずれか 1 項記載の半導体基板の該半導体膜上に形成されたことを特徴とする半導体デバイス構造。

【請求項 15】 基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、を含んだことを特徴とする半導体基板の作製法。

【請求項 16】 基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を別の基板に貼り付けて転写する工程と、元の基板を分離する工程と、を含んだことを特徴とする半導体基板の作製法。

【請求項 17】 基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を該誘電体膜上に横方向の成長する工程と、を含んだことを特徴とする半導体基板の作製法。

【請求項 18】 基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を横方向に成長する工程と、該半導体膜を別の基板に貼り付け転写する工程と、元の基板を分離する工程とを含んだことを特徴とする半導体基板の作製法。

【請求項 19】 前記多孔質層上に単結晶薄膜を形成後、前記誘電体膜を形成し、該誘電体膜をパターニングして除去した後、開口から露出している該単結晶薄膜から半導体膜をエピタキシャル成長させることを特徴とする請求項 15 ないし 18 のいずれか 1 項記載の半導体基板の作製法。

【請求項 20】 前記多孔質層上に前記誘電体膜を形成し、該誘電体膜をパターニングして除去した後、開口から露出している該多孔質層に単結晶薄膜を形成し、次いで、開口から露出している該単結晶薄膜から半導体膜をエピタキシャル成長させることを特徴とする請求項 14 ないし 18 のいずれか 1 項記載の半導体基板の作製法。

【請求項 21】 前記基板上に誘電体膜を形成し、該誘電体膜をパターニングして除去した後、開口から露出している前記基板上に多孔質層を形成後、次いで、開口から露出しちえる該多孔質層上に単結晶薄膜層を形成

後、開口から露出している前記単結晶薄膜から半導体膜をエピタキシャル成長させることを特徴とする請求項15ないし18のいずれか1項記載の半導体基板の作製法。

【請求項22】 前記半導体膜をMOVPE、CBE、ハイドライドVPE法により形成することを特徴とする請求項15ないし21のいずれか1項記載の半導体基板の作製法。

【請求項23】 前記誘電体膜のパターニングを所定の結晶方向に制御することを特徴とする請求項15ないし22のいずれか1項記載の半導体基板の作製法。

【請求項24】 前記誘電体膜をストライプ状にパターニングし、ストライプの長手方向と[0-1-1]軸との成す角が55°から75°としたことを特徴とする請求項15ないし22のいずれか1項の半導体基板の作製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板及びその作製法並びに半導体デバイスに係り、より詳細には、化合物半導体材料を利用した半導体基板及びその作製法並びに半導体デバイスに関する。

【0002】

【従来の技術】GaAs、InP系に代表される単結晶化合物半導体材料は、高速トランジスタ、フォトディテクタ、半導体レーザー、発光ダイオード等に広く用いられ重要な材料となっている。さらに近年、MOCVD法、MBE法、CBE法などによる結晶成長法の改善により、超薄膜構成が実現され、これまでにない優れた特性のデバイスを実現させている。しかし、この様な優れた特性を有する材料でありながら、多くの化合物半導体材料はまだ未開発の状況にある。その要因は、化合物半導体を成長する為の基板に限られている事にある。

【0003】優れた特性を有する化合物半導体デバイスを作製しようとした場合、欠陥の少ない半導体材料を成長する必要がある。基板の格子定数と成長する化合物半導体材料の格子定数がずれていると、成長した化合物半導体材料に欠陥が入り所望の特性が得られない事になる。

【0004】現在実用化されている基板としては、Si、GaAs、InP、InAs、InSb等が上げられるが、これらの基板により使用可能な化合物半導体材料は化合物半導体全体から見ればわずかであり、任意の格子定数を有する化合物半導体材料を成長する技術は、今後の化合物半導体材料技術の発展に大きな影響力を及ぼすと考えられる。

【0005】基板の格子定数と異なった材料を成長する検討例としては、Si基板上にGaAsデバイスを形成したものが上げられる。Si基板上に欠陥の少ないGaAsを成長する為にSiとGaAs膜の界面に、これら

2つの材料の中間の格子定数を持つ層を形成する手法や、貫通転移を低減する為に超格子構造を入れる手法、また、一旦低温でGaAsを形成した後温度を上げ結晶化し、結晶の欠陥を低温層に閉じ込める2段階成長法など、いくつかの格子緩和法、および欠陥低減法が提案されている。

【0006】これらの検討の結果、Si基板上に室温連続発振するGaAs半導体レーザーを実現するまでに至っている。

【0007】しかし、残念ながら寿命が短く、また特性的にもGaAs基板上に作成した物とは大きな差があり実用化には至っていない。この根本的原因は、格子定数の違いにより発生した欠陥を低減出来ていないことによる。

【0008】また、最近、別の手法として、シリコン基板上に多孔質シリコンを挟んで化合物半導体膜を形成する方法が提案されている(特開平10-3321535号公報)。この方法では、多孔質領域を有するシリコン基板をこの多孔質領域の表面の孔を封止する為に熱処理し、この基板の上部に化合物半導体層を積層している。

【0009】この様にして化合物半導体層を作製すれば、シリコン基板とその格子整合や、成膜温度から室温へ降温する際に生じる熱膨張率差に基いて生じる格子欠陥や、ひずみは、多孔質シリコンの孔を封止する極薄のシリコン層のみに導入され、化合物半導体層には導入されない。これは、バルクのシリコンに比較して脆弱な多孔質層上に形成された極薄のシリコン層の方が、成長した化合物半導体層と比較して遥かに脆弱であるためである。この様にして、欠陥が導入される層が、化合物半導体層ではなく、極薄のシリコン層のみに優先的に導入されるため、欠陥の非常に少ない化合物半導体層が形成できる。

【0010】さらにこの方法では、従来例のように基板の張り合わせや選択エッチングという生産コストのかかる方法を用いていないため、従来例に比べて安価に化合物半導体基板が製造できる。

【0011】しかしながら、上記の方法ではシリコン基板上に化合物半導体を形成させるための方法として提案されている。化合物半導体を形成されるための基板としては、シリコン基板よりも、アンチフェーズドメインの発生を防いだり、濡れ性を良くして二次元成長しやすくするという目的のためには、同じ化合物半導体である基板を用いた方がよい場合が多い。さらに、多くの化合物半導体では、シリコンよりもGaAs、InP、GaPの方が、格子定数の差や熱膨張係数の差が近く、化合物半導体を成長する上では適当である場合が多い。

【0012】

【発明が解決しようとする課題】本発明は、基板とその上に形成する半導体材料の格子定数が異なっても、欠陥の少ない良質の半導体膜を基板上に形成することが

可能な多孔質膜を用いた半導体基板及びその作製法並びに半導体デバイスを提供することを目的とするものである。

【0013】

【課題を解決するための手段】本発明の半導体基板は、多孔質層を有した基板上に該基板と同じ元素を有した結晶化した結晶薄膜を有し、さらに該結晶薄膜上の一部に該結晶薄膜と格子定数の異なる半導体膜を有して構成されており、該基板上の該半導体膜が形成されていない部分の少なくとも一部に誘電体膜が形成されていることを特徴とする。

【0014】本発明の半導体基板は、多孔質層を有した基板上に該基板と同じ元素を有した結晶化した結晶薄膜を有し、さらに該結晶薄膜の上に該結晶薄膜と格子定数の異なる半導体膜を有しており、該基板と該半導体膜との間の少なくとも一部に誘電体膜が形成されていることを特徴とする。

【0015】本発明の半導体基板の作製法は、基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、を含んだことを特徴とする。

【0016】本発明の半導体基板の作製法は、基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を別の基板に貼り付けて転写する工程と、元の基板を分離する工程と、を含んだことを特徴とする。

【0017】本発明の半導体基板の作製法は、基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を該誘電体膜上に横方向の成長する工程と、を含んだことを特徴とする。

【0018】本発明の半導体基板の作製法は、基板に多孔質層を形成する工程と、該多孔質層上に該基板の組成と同じ組成の単結晶薄膜を形成する工程と、該単結晶薄膜上に部分的に誘電体膜を形成する工程と、該誘電体膜をマスクとして、該基板と格子定数の異なる半導体膜を形成する工程と、該半導体膜を横方向に成長する工程と、該半導体膜を別の基板に貼り付け転写する工程と、元の基板を分離する工程とを含んだことを特徴とする。

【0019】

【実施例】(実施例1)本発明の実施例を図1を用いて説明する。本例は、基板に形成した多孔質層を利用したものである。

【0020】図1(a)の基板1はGaAsである。この上に2に示す多孔質GaAsを形成した。多孔質GaAsは、n型のGaAsをHCl中で陽極化成する事により形成できることが、P. Schmuki等(Journal of Electrochemical Society 143, p. 3316 (1996))や、和田等(1998年応用物理学会予稿集29a-PC-25)により報告されている。図1(a)において1は多孔質領域2を有する(111)面を持つGaAs基板で、厚みは450 μ mのものである。

【0021】この様な基板を作製する為には、n-GaAs基板を有機洗浄などによりクリーニングした後に、基板の裏面に電極を作製した。この後に、HCl溶液の中で陽極化成処理を行い、GaAs基板表面に多孔質領域を形成した。多孔質GaAsの作製条件は、電流を10M/cm²流して10分間陽極化成を行っており、多孔質の厚さは10 μ m、空孔率は30%である。

【0022】次に、図1(b)に示す様に、多孔質GaAs層2の表面にこの孔が封止された表面部の層3を形成した。この様な層3を形成する為には、多孔質層2の形成されたGaAs基板1を分子線エビタキシー装置(MBE法)の中に搬入し、Asを照射しながら基板の温度を600 $^{\circ}$ C程度に加熱し20分保持した。この時GaAs基板表面の酸化膜は除去され、多孔質GaAs2の最表面では、凹凸が平滑化し表面エネルギーが下げる方向にGaのマイグレーションが生じた。

【0023】この結果、多孔質GaAs層2の表面は平坦化し、薄いGaAs単結晶層3として埋まってくる。この時、反射電子線回折像(RHEED)はスポットからストリークに変化していく。

【0024】なお、この際、少量のGaビームを照射させて孔の封止をさらに促進することが可能である。

【0025】表面に形成されるGaAsの単結晶層3の厚みはきわめて薄く、おおむね、孔の径と同程度ないしはそれ以下、具体的には100nm以下、より好ましくは30nm以下である。この薄いGaAs単結晶層3は、この上に積層する層に配向情報を伝える重要な役目をするものである。一方、このGaAs単結晶があまりにも厚いと、格子定数の違いによる歪みを多孔質層で緩和することが不可能となってくる。つまり、孔を埋めた層厚は、その上部に形成される半導体層の膜厚より十分に薄いことが望ましく、例えば5分の1以下、より好ましくは100分の1以下であることが望ましい。より具体的には1nm~100nmの範囲、より好ましくは1nm~50nmで化合物半導体の膜厚を考慮することが望ましい。ただ下限としては0.3nmである。

【0026】孔の封止を促進する他の手法としては、マイグレーション・エンハンスド・エビタキシー(MEE)を用いる方法がある。この手法を用いて、III族原子のマイグレーションを促進させると効果的である。

この手法は、GaAs、InP、GaPなどのIII-V族半導体の場合、III族原子のマイグレーションを促進させるためにIII族のみを供給し、III族が適当なサイトに落ち着くまでV族の供給量を制限する手法である。

【0027】また、以上の例では多孔質表面を埋める方法として、MBE法を用いた構成について説明したが、この方法に限るものではなく、ケミカルビーム法(CBE法)やMOCVD法を用いてもよい。要は、良質の半導体膜が形成できればよい。供給材料の形態としては固体ソースのみではなく、トリメチルガリウム、アルシンなど有機化合物を使用しても同様の効果が得られる。

【0028】次に、この基板を装置から取り出して図1(b)の4に示す誘電体膜(ここでは、SiN)を形成した。ここではSiN_xを100nm形成している。このSiN_x膜に通常のホトリソグラフィを用いて図1(c)の8に示す開口部を設け、薄いGaAs層3を露出した。この例ではこの開口部の幅を100μmとしており、ピッチは2000μmである。

【0029】この様に形成した基板をLPE装置に入れ、図1(d)の5に示すように選択的に格子定数の異なる半導体、本例ではInGaAs(In組成0.38)を1μm厚でエピタキシャル成長させた。成長開始温度を800℃とし、徐冷速度を10℃/hとした。

【0030】InGaAsの成長速度は(111)垂直面では遅いが、側面となる(111)A面、(111)B面などでは速い速度を得られる。この結果、図1(e)の6に示す様にSiN_x4の表面がInGaAsの横方向成長により埋まった。

【0031】この様に形成されたInGaAs膜のエッチピッチ密度を測定した。3のGaAs薄膜上に成長した5に示すInGaAsは多孔質層を利用した事も有り、通常より少しエッチピッチが少ない10⁶cm⁻²であり、約1桁低減された。さらに、4に示したSiN_x上のInGaAs膜6のエッチピッチ密度は、元となる5のInGaAsが低い結果、10⁴cm⁻²以下と小さくなった。

【0032】この低欠陥密度を示す6のInGaAs層を利用すれば良質の膜が得られ特性の良いデバイスを実現することが出来た。

【0033】図1(a)~(e)で説明した断面構成を持ったストライプを図2の9に基板に形成した。図1(a)~(e)の形状は図2の矢印方向から見た図である。図1(e)の様に埋め込む事を考慮した場合は、図2のストライプピッチを制御しておく必要がある。ここではストライプを<0-11>方向に形成した。今回の例では、2100μmピッチで形成し、溝間は100μmである。この様に等間隔形成して置くことにより、基板全体を埋めることが可能となった。

【0034】なお、ここでは埋め込んだが、かならずし

も埋め込まずとも使用可能である。たとえば、部分的に形成した膜を、別の基板に転写する事により、部分的に格子定数の異なる領域を形成することが可能となる。

【0035】以上説明した様に、多孔質の膜上に形成した薄いGaAs膜を利用する事により、その上に形成したInGaAs膜のエッチピッチ密度を下げる事が出来た。さらに、横方向に成長することにより、基板側からの欠陥の導入を低減することが可能となったため、従来にはない低欠陥密度のInGaAsを実現することが可能となった。

【0036】ここで、図1(b)、(c)で説明したSiN_xへの開口部の作製手順としては、今回説明した方法以外に幾つか手順がある。

【0037】一つ目としては、多孔質層上に薄いGaAs膜を形成する前に、多孔質層上に直接誘電体膜(SiN_x)を形成し、SiN_xをパターニングした後、開口しているGaAs部分を結晶化し薄いGaAsを形成する手順である。

【0038】二つ目としては、多孔質化していないGaAs基板上に誘電体膜を直接形成した後、この誘電体膜をパターニングして除去した後、開口しているGaAs膜を多孔質化し、最後に多孔質GaAsの表面を結晶化し薄いGaAsを形成する手順である。

【0039】また、今回InGaAs膜の形成手段としては、LPE法を用いたが、有機金属気相成長法(MOCVD)法、ハイドライドVPE法などでも横方向成長を実現することが出来、LPE法に限ったものではない。

【0040】以上説明した様に、多孔質層を持つ基板上に薄い半導体層を用いる事により、この上に格子定数の異なる半導体層の欠陥密度を下げる事が可能となる。加えて、この多孔質上に形成した低欠陥の半導体層を用い、半導体膜の横方向成長を利用する事により基板とは格子定数の異なる非常に低欠陥密度の半導体膜を形成することが出来た。

【0041】(実施例2)第二の実施例について図3(a)~(d)をもって説明する。本例は、実施例1において基板とは格子定数が整合しない膜を更に有効に利用する手段を示すものである。

【0042】図1(e)の6に示す様に部分的に良質のInGaAsが得られた。しかし残念ながら、5に示すInGaAs領域の欠陥密度は6に比較して1桁から3桁高い。これを解消する手段を示すものである。

【0043】図3(a)を用いて説明する。図3(a)の7はSi基板である。このSi基板に図1(e)で示した構成を、InGaAs膜面を接合面として貼り付ける。6が低欠陥密度のInGaAs、4が誘電体膜(SiN_x)、3が薄いGaAs膜である。2が多孔質層である。

【0044】貼り付けが終了した段階で、図3(b)に

示す様に、1のGaAs基板を研磨により取り除き、続いて2の多孔質GaAs層を塩素のドライエッチングにより取り除いた。多孔質のGaAsを取り除く手段としてはウェットエッチングでもよい。多孔質GaAsと結晶化したGaAsとではエッチング速度比100倍以上と異なるため、硫酸系のウェットエッチングで取り除いてエッチング速度差が取れないという問題はない。

【0045】続いて、5のInGaAs層をドライエッチングにより除去し、図3(c)に示す構成となった。この時誘電体層(SiNx)4をマスクとしている。

【0046】最後に4に示したSiNxをアッシングして図2(d)に示す様に、欠陥密度の少ない良質のInGaAs膜6だけをSi基板7上に転写出来た。

【0047】ここで使用したSi基板は、Siに限るものではなく、GaAs、InP、GaPなどの半導体、金属、誘電体膜など、接着が可能であれば特に限定されるものではない。

【0048】また、図4(a)は、図3(c)の段階で、5のInGaAs膜を除去した後、再度横方向成長を行い、5の領域に対応した部分を埋めて全体的に低欠陥密度のInGaAsを実現した例である。

【0049】以下に詳細を説明する。

【0050】塩素のドライエッチングにより5のInGaAsを除去し、図3(c)に示す様な形にした。この後ドライエッチングによる表面のダメージ層を取り除く為に、硫酸系のエッチング液で溝に露出している6に対応したInGaAsをわずかにエッチングした。この後、ここでは、トリメチルインジウムとトリエチルガリウム、アルシンを用いたMOCVD成長によりInGaAsを除去した後の開口している部分を埋め、低欠陥密度のInGaAsを形成した。

【0051】最終的には、図4(b)に示す様に6のInGaAs膜をSi基板7上に、一様に形成することが可能となった。尚、MOCVD法による埋め込みを行う場合には、7に示すSi基板表面に薄い(10nm~5000nm)の誘電体膜が形成されている必要がある。

【0052】本実施例では、図3(a)において元基板であるGaAsの除去方法を研磨により行ったが、このGaAs基板を除去せず、2の多孔質GaAsのみ硫酸系のエッチャントを用いて選択的にエッチングしてもよい。この場合多孔度が高い程、単結晶膜とのエッチング差が得易いので、多孔度をコントロールしてエッチングすることが必要となる。

【0053】以上説明した様に、横方向にて形成していない欠陥密度のわずかに多いInGaAs膜を、他の基板への転写を用いて除去する事により良質の膜のみを選択することが可能となる。また、再度成長する事により、従来得られなかった格子定数を持った低欠陥密度の膜を形成することが可能となった。

【0054】(実施例3) 実施例3は、基板とは異なる

格子定数を持った膜への半導体デバイスの作製法について記述する。ここでは多孔質を形成する基板としてInPを用いた。多孔質層を持ったInP基板を作製する方法としては実施例1で説明した方法と同じである。n-InP基板をイソプロピルアルコールおよびメチルアルコールによって超音波線した後に、基板の裏面にInによって電気的な接触を取る電極を作製した。この後に、HCl溶液の中で陽極化成処理を行い、InP基板表面に多孔質領域を形成することが出来た。

10 【0055】つづいて、多孔質InP上に孔が封止された薄いInP表面層を形成した。この様な層を形成する為には、多孔質が形成されたInP基板を分子線エピタキシー装置の中に搬入する。実施例1ではGaAsを形成する為にAsを供給したが、ここではInP薄膜を形成する為にPを照射しながら基板温度を530℃程度に加熱した。この過程により多孔質InPの表面では凹凸を平滑化し表面エネルギーを下げる方向にInのマイグレーションが生じる。この結果、多孔質InPの表面は平坦化し薄いInP単結晶膜として埋まってくる。尚、この際、少量のInビームを照射させて孔の封止をさらに促進することが可能である。

【0056】この例では、供給する元素は固体状態で供給しているが、必ずしも固体元素に限定される訳ではない。トリメチルインジウムなどの有機金属材料、水素化合物のホスフィンを用いたChemical Beam Epitaxyや、MOCVD法などを用いてもよい。

【0057】続いて、実施例1と同じ様に選択誘電体膜を用いて、部分的に格子定数の異なる層を形成し、後に横方向成長により基板全体に広げる。この方法は実施例1と同じである。また実施例2の様にしてもよい。ここでは、格子定数0.58μmのInGaP層を形成した。

【0058】図5に転写した格子定数0.58μmのInGaP膜を用いて半導体レーザを作製した例を示す。11はInGaPを含んだ基体である。この上に12に示すクラッドであるn-In0.35Al0.65Asを形成している。

【0059】InPに整合した場合ではこの組成を使う事が出来ない。InPに整合した時よりAlの組成が増加している結果、InAlAsのバンドギャップは約0.55eV増加している。この上に13に示す光閉じ込め層n-In0.48Ga0.38Al0.16Asを形成した。14は活性領域でこの領域に活性層とバリア層が含まれている。活性層である18はでn-In0.53Ga0.47Asを含んでおり、圧縮歪みが1.2%入っている。この活性層を挟む様に19に示すバリア層を2層構成で形成している。このバリア層は13に示した光閉じ込め層と構成は同じでドーピングはしていない。

【0060】この上に15に示す上部光閉じ込め層であるp-In0.48Ga0.38Al0.16Asを形成した後に、16に示す上部クラッド層であるp-In0.35Al0.65

Asを形成した。最後に17に示すp-In_{0.38}Ga_{0.62}Asを形成した構成となっている。

【0061】この構成のメリットは、格子定数を0.58nmと小さくすることが可能となった為、クラッドにバンドキャップの大きなInAlAsが使用可能となり、伝導帯の活性層とバリア層のエネルギー差 ΔE_c を0.54eVと大きくした為、電子の閉じ込めを改善出来、高温時におけるキャリアの漏れが少なく、安定動作可能なレーザが実現した。尚一般的に用いられているInGaAsPバリアの伝導帯の活性層とバリア層のエネルギー差は0.15eVと小さく温度特性が悪い。この様に、格子定数を制御することは、光デバイス、および電子デバイスの特性を改善することが出来る。尚、今回は転写したInGaP膜上へレーザ構成を形成したが、図1(e)に示した様な構成に直接半導体レーザを成長してもよい。

【0062】以上説明した様に、従来の基板を用いた場合では作製不可能であったバンドギャップを持った半導体デバイスを、多孔質膜を利用した格子制御法にて任意の格子定数を有した基板を作製することが可能となつた。

【0063】(実施例4) 実施例4は、(100)面を表面に持つInP基板を使用した例について記述する。多孔質層を持ったInP基板を作製する方法としては実施例3で説明した方法と同じである。n-InP基板をイソプロピルアルコールおよびメチルアルコールによって超音洗浄した後に、基板の裏面にInによって電気的な接触を取る電極を作製した。この後に、HCl溶液の中で陽極化成処理を行い、InP基板表面に多孔質領域を形成することが出来た。

【0064】続いて、多孔質InP上に孔が封止された薄いInP表面層を形成した。この様な層を形成する為に、多孔質が形成されたInP基板を分子線エピタキシー装置の中に搬入した。Pを照射しながら基板温度を530°C程度に加熱した。この過程により多孔質InPの表面では凹凸を平滑化し表面エネルギーを下げる方向にInのマイグレーションが生じる。この結果、多孔質InPの表面は平坦化し薄いInP単結晶膜として埋まってきた。

【0065】なお、この際、少量のInビームを照射させて孔の封止をさらに促進することが可能である。この例では、供給する元素は固体状態で供給しているが、必ずしも固体元素に限定される訳ではない。トリメチルインジウムなどの有機金属材料、水素化物のホスフィンを用いたChemical Beam Epitaxyや、MOCVD法などを用いてもよい。

【0066】続いて、実施例1と同じ様に選択誘電体膜を用いて、部分的に格子定数の異なる層を形成し、後に横方向成長により基板全体に広げる事が可能である。全体を埋める方法としては、基本的に厚みを増していけば

横方向にも成長は進み全体は埋まる。しかしより効率的に行う為には、斜面部の成長速度を上げればよい。

【0067】図6はCBE成長法またはMBE法でGaAsを成長させた場合の、(100)面上の成長速度と(100)面から $\langle 011 \rangle$ および $\langle 0-11 \rangle$ 方向に傾いた面の成長速度について示したものである。(100)面からの角度が20°付近に速度の遅い面が形成されるが、その前後では成長速度は上がり、横方向には望ましい構成である。特に、20°以下の斜面が最も早い成長速度が得られた。

10

【0068】CBE法などではA面とB面の成長速度差は比較的小さく同じ傾向を示すが、他の方法では異なる。図7はMOVPE法でGaAsを成長した場合の(100)面上の成長速度と(100)面から傾けて行った時の成長速度について示したものである。(100)面から傾けた角度が25°付近(20°~30°)に成長速度のピークが形成され、それ以降の角度では成長速度は低下していた。(100)面となす角度が45°以下程度の面を用いることが、成長速度が早く望ましい。MOVPEでは、A面、B面の差が比較的大きく、A面(Gaが露出しやすい)の方が速度が早い。ここで言うA面とB面の成長速度とは、GaAs膜であれば、結晶面をGa面が出やすい方向に傾けた場合とAs面が出やすい面に傾けた場合に生ずる成長速度を指している。

20

【0069】図8はハイドライドVPEおよびクロライドVPE法でGaAsを成長した場合の成長速度の面依存性の模式図を示している。A面上への成長では(111)面の成長速度が早く、横方向には適していると考えられる。B面方位では(311)面が速度が早く望ましい。つまり、成長速度の早い面は成長法により異なり、構造に反映させていく事が必要である。

30

【0070】本実施例では、(100)表面上に(111)A面が側面に出る様にして、ハイドライドVPE法にてInGaPを成長させた。この方法では積層方向の(100)面の成長速度に比較して、横方向の(111)A面の成長速度が2~3倍と高く、表面を覆う速度も速い。この実施例では、ハイドライドVPEを使用した、必ずしもこの成長法に限る訳ではなく、CBE法でも(100)面から10°程度傾いた面領域では(100)面よりも成長速度が速く、この面を使用することにより表面を埋めることが可能となる。同様にMOCVD法でも20°程度に成長速度のピークを持っている。この角度を持つ面を形成することにより表面を効率良く埋めることが可能となる。また成長条件などでもこの傾向は変化する。重要な事は、積層方法の成長速度と横方向の成長速度を理解し、横方向の成長速度を上げ効率良く埋める事にある。

40

【0071】(実施例5) 実施例5は、ウェハー面内でストライプを形成する方位を回転させる事により、より横方向成長速度の早い面を出し、埋め込みを実現した例

50

である。

【0072】図9を説明する。20は(100)面を持つGaAsウエハーを上から見た図である。この上にSiNxマスクを形成し、その上のInP膜の横方向の成長速度を評価した。21は方位<0-1-1>を示し、22は<0-11>を示している。21の方位から22の方位に誘電体膜のパターニングを制御することにより23の矢印を変えて成長速度を測定した。

【0073】結果を図10に示す。縦軸は成長速度で、横方向は図9に示す角度θである。横方向の成長速度は、<0-1-1>方位から離れるに従い上がり、10°から40°付近でピークを持つ。45°付近で低下し、それを過ぎると55°から75°付近で2つ目のピークを持つ。この結果から、横方向の成長速度には、10°から40°と、55°から75°が早い事が分かる。そこで、この方位に斜面が出来る様にストライプを形成し、InP基板上の格子整合していないInGaAsを成長させた。

【0074】図11をもつて説明する。ストライプを27に示す様に傾けると、ストライプの斜面が横方向の成長面となり、この斜面の成長速度は、<0-1-1>方向への成長速度よりも、約2倍早く埋まることが出来た。

【0075】以上説明した様に、ストライプの方向を変え、横方向の成長速度が早い面を斜面に出す事により埋め込みを早くすることが可能となる。

【0076】(実施例6)本発明の第6の実施例について説明する。500μmの厚みを持った(111)面を有するp型GaAs基板を用い多孔質膜を形成した形成方法は実施例1と同じである。

【0077】この後、表面に薄いGaAs膜を形成した後誘電体膜をパターンニングした。この工程も実施例1と同じである。誘電体膜の開口部の幅が、5μmで、ピッチが205μmである。この後、GaN層を選択的に誘電体の開口部に形成した。成長法としては、MOCVD法を用いている。トリエチルガリウムとアンモニアを用いて選択成長を行った。この後、単純にGaNを成長続けると、GaNは横方向への成長速度が比較的速いことから、容易に誘電体膜表面を覆うことが可能であった。

【0078】このウエハーの転位密度を透過型電子顕微鏡により測定したところ 10^5 cm^{-1} 以下を得る事が出来た。また、横方向へ成長し、誘電体膜上へ形成したGaNでは 10^4 cm^{-1} 以下の値を得ている。

【0079】この様に形成した基板の上に、続けてp型がGaN層、p-Al_{0.15}Ga_{0.85}N層、In_{0.05}Ga_{0.95}N層、n-Al_{0.15}Ga_{0.85}N層を順次積層した。尚、ドーパントとしてはp型にはMgをN型にはSiをドーパントとしている。このウエハーにTi/Al電極とAl電極を形成し、オーミック化し、発光ダイオードを作製した。低欠陥密度の基板上に成長したダイオードの

外部量子効率10%を得ている。

【0080】この様に、多孔質の膜を得る事により、任意の格子定数を持った低欠陥密度の半導体膜を得る事ができ、新たなデバイスの実現が出来た。

【0081】この実施例では、多孔質を形成した基板の上に形成するものとして、InGaAs、GaN、InP系をあげたが、特にこれに限定されるものではない。本発明は任意の格子定数を得られる事にあり、この趣旨から言えば、すべての結晶への適用が可能である。

10 【0082】また、基板と格子定数の合わない材料を形成する場合でも、有望な作製法である。GaAs上のSi膜とかInP膜等を形成する場合も有望である。特に、これまで基板が無く実現できなかった化合物半導体膜は望ましい実施例である。例えば、格子定数の異なる二元系、またInGaAs、GaAsP、InGaP、GaAsSb、InAsAsなどの3元混晶や、AlInAsP、InGaAsP、InGaAsAsなどの4元混晶が上げられる。特に格子整合が可能で3元混晶、4元混晶、5元混晶以上は格子制御を行う為に望ましいものである。

【0083】また本発明を実施する多孔質を形成する基板としては、GaAs、InPに限定されるものではない。例えば、Si、GaP、InSbなども有効で多孔質を形成できればよい。

【0084】

【発明の効果】多孔質領域を有する基板の表面に薄い単結晶半導体薄膜を形成した後、この表面に誘電体膜を部分的に形成し、誘電体膜をマスクとして半導体膜を成長させることにより、欠陥の伸びる方向を制御し、格子定数の異なる良質の半導体膜を形成する事が出来る。

30 【0085】多孔質領域を有する基板の表面に薄い単結晶薄膜を形成した後、この表面に誘電体膜を部分的に形成し、選択的に基板とは異なる格子定数を有する膜を成長させ、この膜を罰の基板に転写する事により、欠陥の伸びる方向を制御し、格子定数の異なる良質の膜を形成することが可能となり、転写後再度成長させた場合その膜は全面により良好な膜となる。

40 【0086】誘電体膜のパターニング方向を制御した場合には、成長速度を改善し、格子定数の異なる良質な面を形成する事が出来る。

【図面の簡単な説明】

【図1】第一の実施例にの工程を示す図である。

【図2】第一の実施例に係り、基板のストライプを示す平面図である

【図3】第二の実施例に係りその工程を示す図である。

【図4】第二実施例に係りその工程を示す図である。

【図5】第三の実施例を示す構造図である。

【図6】第四の実施例の構造を説明するための図である。

50 【図7】第四の実施例の構造を説明するための図であ

る。

【図8】第四の実施例の構造を説明するための図である。

【図9】第五の実施例の構造を説明するための図である。

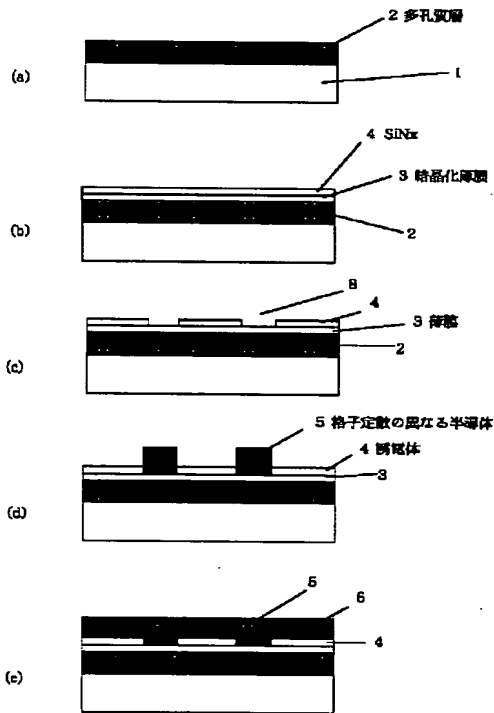
【図10】第五の実施例の構造を説明するための図である。

【図11】第五の実施例の構造を説明するための図である。

【符号の説明】

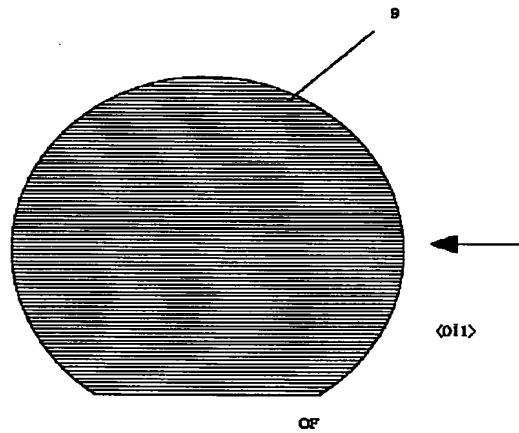
- 1 GaAs基板
- 2 多孔質GaAs
- 3 薄いGaAs層（表面部の層、薄いGaAs単結晶膜）
- 4 誘電体膜（SiNx）
- 5 InGaAs（In組成0.38）
- 6 InGaAsの横方向成長
- 7 Si基板

【図1】

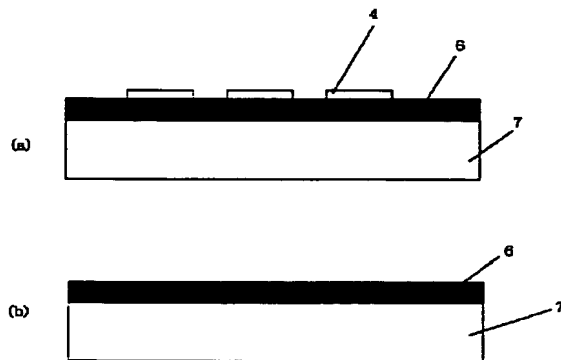


- 8 開口部
- 9 ストライプ状
- 11 InGaPを含んだ基底
- 12 クラッド（n-In_{0.35}Al_{0.65}As）
- 13 光閉じ込め層（n-In_{0.48}Ga_{0.38}Al_{0.16}As）
- 14 活性領域
- 15 上部光閉じ込め層（p-In_{0.48}Ga_{0.38}Al_{0.16}As）
- 16 上部クラッド層（p-In_{0.35}Al_{0.65}As）
- 17 p-In_{0.38}Ga_{0.62}As
- 18 活性層（n-In_{0.53}Ga_{0.47}As）
- 19 バリア層（2層構成）
- 20 GaAsウェハー
- 21 方位<0-1-1>
- 22 方位<0-11>
- 27 ストライプ

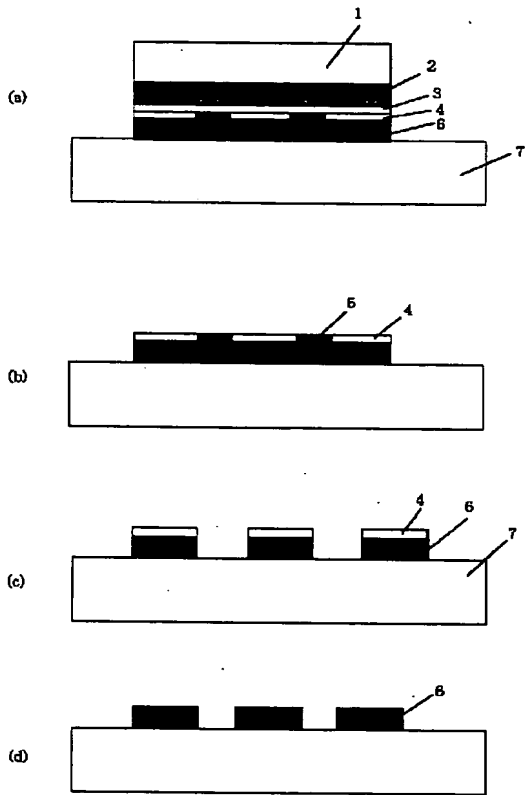
【図2】



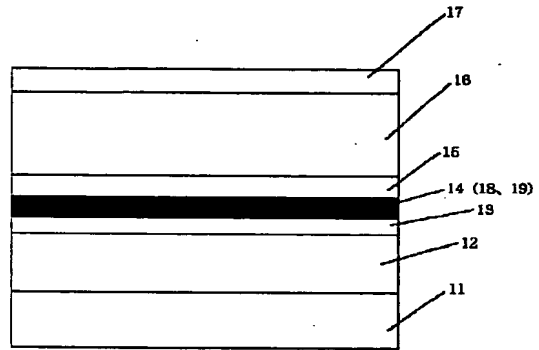
【図4】



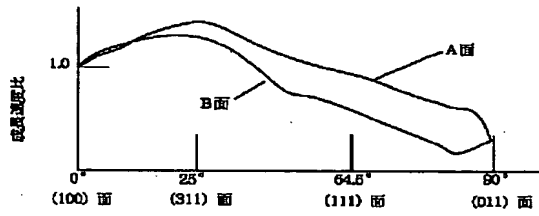
【図3】



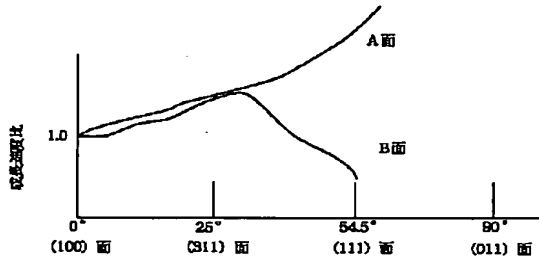
【図5】



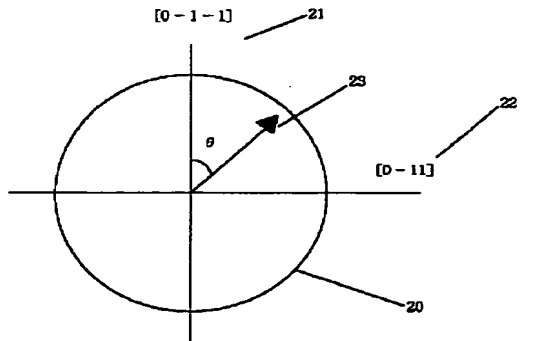
【図7】



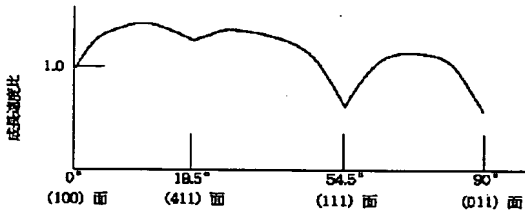
【図8】



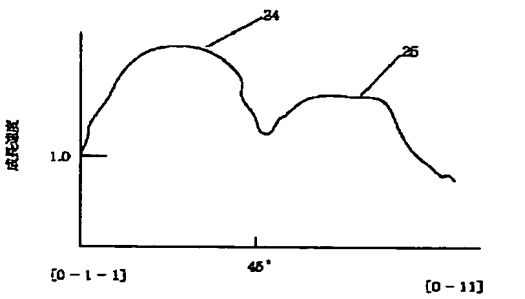
【図9】



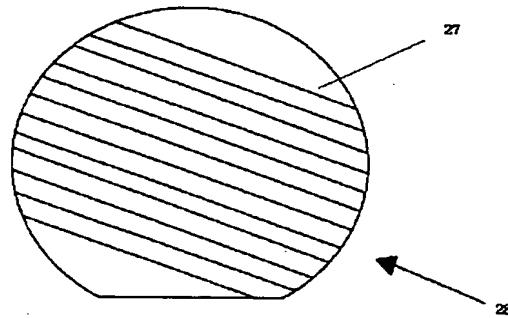
【図6】



【図10】



【図11】



フロントページの続き

(72)発明者 江崎 琢
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

Fターム(参考) 5F041 AA40 CA34 CA35 CA40 CA65
CA77
5F045 AA04 AA05 AB17 AB18 AC02
AC08 AC09 AF03 AF04 BB12
5F073 CB02 CB04 DA05 DA21 DA28
DA35